



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11017182 A**

(43) Date of publication of application: 22 . 01 . 99

(51) Int. Cl.

**H01L 29/78**

H01L 21/28

H01L 21/336

(21) Application number: **09169793**

(71) Applicant: **SONY CORP**

(22) Date of filing: 26 . 06 . 97

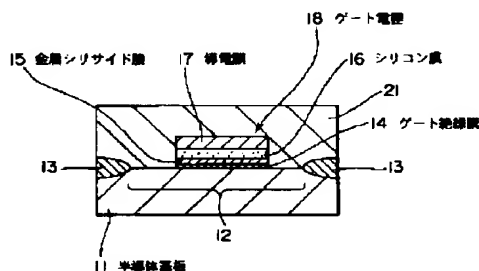
(72) Inventor: **KOMATSU YUJI**

(54) **SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF** COPYRIGHT: (C)1999,JPO

(57) Abstract:

**PROBLEM TO BE SOLVED:** To obtain the work function of a metal silicide film, and to secure the film thickness, by which the self-aligning diffusion layer by ion implantation can be formed, by sequentially laminating the metal silicide film, a silicon film and a conducting film on a gate insulating film, and forming a gate electrode.

**SOLUTION:** A gate electrode 18 comprising the three-layer structure of a metal silicide film 15/ a silicide film 16/ a conducting film 17 is formed through a gate insulating film 14. Since the metal silicide film 15 is formed on the gate insulating film 14, one interface with the gate insulating film has the work function in the vicinity of a mid-gap by approximately determining the work function of the interface with the gate insulating film by the material in contact with one gate insulating film 14. Furthermore, by forming the silicon film 16, the thickness of the gate electrode 18 by which the self-aligning diffusion layer by ion implantation can be manufactured, can be secured by the silicon film such as polysilicon having less stress.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-17182

(43) 公開日 平成11年(1999) 1月22日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 29/78

H 0 1 L 29/78

3 0 1 G

21/28

3 0 1

21/28

3 0 1 T

21/336

29/78

3 0 1 A

3 0 1 P

審査請求 未請求 請求項の数14 O L (全 12 頁)

(21) 出願番号

特願平9-169793

(22) 出願日

平成9年(1997) 6月26日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 小松 裕司

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

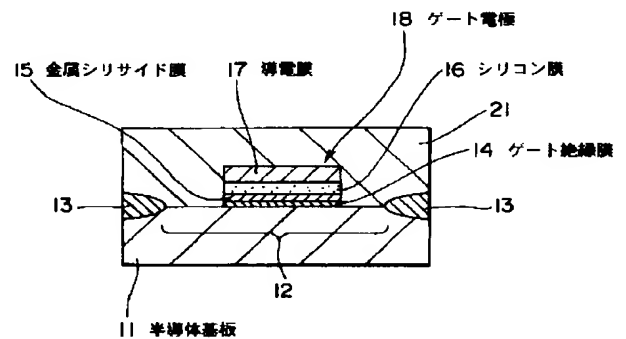
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 高融点金属シリサイドからなるゲート電極ではその応力によってリーク電流や界面電荷の増大等を生じて、ゲート絶縁膜をはじめとしてLSIの信頼性を低下させるので、ゲート電極の厚膜化が困難であり、そのため、自己整合的に拡散層を形成することも困難となっていた。

【解決手段】 半導体基板11上にゲート絶縁膜14が形成されていて、さらにゲート絶縁膜14上に、タングステンシリサイドからなる金属シリサイド膜15、ポリシリコンからなるシリコン膜16と、金属シリサイドおよび金属のうちの少なくとも1種、例えばタングステンシリサイドからなる導電膜17とが積層されて成るゲート電極18を備えた半導体装置である。上記ゲート電極18中には不純物の拡散を防止する少なくとも1層の不純物拡散防止膜が形成されているものであってもよい。



## 【特許請求の範囲】

【請求項1】 半導体基板上に形成されているゲート絶縁膜と、  
前記ゲート絶縁膜上に形成されている金属シリサイド膜と、  
前記金属シリサイド膜上に形成されているシリコン膜と、  
金属シリサイドおよび金属のうちの少なくとも1種からなるもので前記シリコン膜上に形成されている導電膜とからなるゲート電極を備えたことを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記金属シリサイド膜には前記ゲート電極の仕事関数を規定する不純物がドーピングされていることを特徴とする半導体装置。

【請求項3】 請求項1記載の半導体装置において、前記ゲート電極中に不純物の拡散を防止する少なくとも1層の不純物拡散防止膜が形成されていることを特徴とする半導体装置。

【請求項4】 請求項2記載の半導体装置において、前記ゲート電極中に不純物の拡散を防止する少なくとも1層の不純物拡散防止膜が形成されていることを特徴とする半導体装置。

【請求項5】 請求項3記載の半導体装置において、前記不純物拡散防止膜は窒化金属膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも1層からなることを特徴とする半導体装置。

【請求項6】 請求項4記載の半導体装置において、前記不純物拡散防止膜は窒化金属膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも1層からなることを特徴とする半導体装置。

【請求項7】 半導体基板上に形成されているゲート絶縁膜上に金属シリサイド膜を形成する工程と、  
前記金属シリサイド膜上にシリコン膜を形成する工程と、  
前記シリコン膜と前記金属シリサイド膜とをパターニングする工程と、  
前記パターニングしたシリコン膜上に金属シリサイドからなる導電膜を自己整合的に形成する工程とを行うことによりゲート電極を形成することを特徴とする半導体装置の製造方法。

【請求項8】 請求項7記載の半導体装置の製造方法において、前記導電膜を形成する際に前記半導体基板上に該導電膜を自己整合的に形成することを特徴とする半導体装置の製造方法。

【請求項9】 請求項7記載の半導体装置の製造方法において、前記金属シリサイド膜を形成した後に前記ゲート電極の仕事関数を規定する不純物を該金属シリサイド膜中にド

ーピングすることを特徴とする半導体装置の製造方法。

【請求項10】 請求項8記載の半導体装置の製造方法において、

前記金属シリサイド膜を形成した後に前記ゲート電極の仕事関数を規定する不純物を該金属シリサイド膜中にドーピングすることを特徴とする半導体装置の製造方法。

【請求項11】 請求項7記載の半導体装置の製造方法において、

前記金属シリサイド膜を形成した後に不純物の拡散を防止する少なくとも1層の不純物拡散防止膜を形成することを特徴とする半導体装置の製造方法。

【請求項12】 請求項8記載の半導体装置の製造方法において、

前記金属シリサイド膜を形成した後に不純物の拡散を防止する少なくとも1層の不純物拡散防止膜を形成することを特徴とする半導体装置の製造方法。

【請求項13】 請求項9記載の半導体装置の製造方法において、

前記金属シリサイド膜を形成した後に不純物の拡散を防止する少なくとも1層の不純物拡散防止膜を形成することを特徴とする半導体装置の製造方法。

【請求項14】 請求項10記載の半導体装置の製造方法において、

前記金属シリサイド膜を形成した後に不純物の拡散を防止する少なくとも1層の不純物拡散防止膜を形成することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関し、詳しくは、積層構造のゲート電極を備えた半導体装置およびその製造方法に関する。

## 【0002】

【従来の技術】最近のSOI (Silicon on Insulator) 構造では表面シリコン層を100nm程度にまで薄く形成し、またチャネルの不純物濃度も比較的低い状態に抑制して、ほぼシリコン活性層全体が空乏化するような条件(完全空乏型)にすることで、短チャネル効果の抑制やMOSトランジスタの電流駆動能力の向上等が図られてきている。

【0003】そしてn<sup>+</sup>ポリシリコンをゲート電極材料として用いたNMOSトランジスタの場合、V<sub>th</sub>を通常のエンハンスメント型トランジスタのように0.5V～1.0V付近にするためには、チャネルの不純物濃度を1×10<sup>17</sup>/cm<sup>3</sup>以上にしなければならない。そこで完全空乏型のままでエンハンスメント型トランジスタを製作するためにゲート材料としてp<sup>+</sup>ポリシリコン〔ホウ素ドープトポリシリコン(B-DOPOS)〕を用いられている。このように、NMOSトランジスタにp<sup>+</sup>ポリシリコンゲートを用いると、チャネルがドーピングされていない場合ではV<sub>th</sub>が1.0V程度であり、これ

より $V_{th}$ を下げるためには、NMOSのチャンネルにリン(P)をドーピングする等のいわゆるカウンタードーピングを行う必要が生じる。

【0004】一方、バルクシリコンデバイスにおいても、上記n型のポリシリコンのみではNチャンネルトランジスタ、Pチャンネルトランジスタとも同時に短チャンネル効果に強い表面チャンネル型のMOSトランジスタを形成することは困難である。そこで、ゲート電極の仕事関数を用いて $V_{th}$ を調整することを目的として、NMOSトランジスタに対してはn<sup>+</sup>ポリシリコン、PMOSトランジスタに対してはp<sup>+</sup>ポリシリコンをそれぞれ用いるデュアルゲートプロセスが提案されている。

【0005】さらに最近では、例えばタングステンシリサイドのように仕事関数がシリコンのミッドギャップ近傍になる材料をゲート電極として用いる検討が行われている。タングステンシリサイドのような高融点金属シリサイドは、シリコンのミッドギャップ付近に仕事関数を有するものが多く、そのなかでモリブデンシリサイド(MoSi<sub>2</sub>)やタングステンシリサイド(WSi<sub>2</sub>)等は、直接酸化シリコンと反応しないので、ゲート耐圧を顕著には劣化させず、特にゲート電極材料として注目されている。

【0006】

【発明が解決しようとする課題】しかしながら、上記p<sup>+</sup>ポリシリコンにカウンタードーピングを行う方法では短チャンネル効果を増大させるので、微細化するLSIに対しては好ましくはない。そのため、n<sup>+</sup>ポリシリコンおよびp<sup>+</sup>ポリシリコンのどちらのタイプのゲート電極に対しても活性層が薄膜化されている微細SOIデバイスに対しては、完全空乏型でかつそのトランジスタの $V_{th}$ を0.5V程度の適正な値に制御することは困難であった。また部分空乏型のトランジスタに対してもチャンネル濃度を単に上昇させることはドレイン電流を増加させるので好ましくない。

【0007】一方、上記デュアルゲートプロセスでは、NMOSトランジスタとPMOSトランジスタとで異なるタイプのドーパントのポリシリコンゲート電極を用いると、NMOSトランジスタのn<sup>+</sup>ポリシリコンゲート電極とPMOSトランジスタのp<sup>+</sup>ポリシリコンゲート電極とが接続された部分でゲート電極中のそれぞれの不純物が相互に拡散し、それぞれのゲート電極の仕事関数を大きく変動させる問題が生じる。これはゲート電極の低抵抗化のためにポリシリコンの上層にタングステンシリサイドのようなシリサイドを用いたときには、シリサイド中のドーパントの拡散係数が非常に大きいために特に顕著になる。よって、バルクシリコンデバイスにおいてもタイプの異なるポリシリコンではなく、ミッドギャップ付近に仕事関数を有するゲート電極を将来的には必要としている。

【0008】さらに、高融点金属シリサイドで形成した

ゲート電極では、高融点金属シリサイド膜の応力が $1 \times 10^9$  Pa程度と大きなものが多いため、自己整合的にイオン注入することによって拡散層を形成するために必要な膜厚(注入イオンをゲート電極で阻止してゲート直下のチャンネル部分に入れないようにするために必要な最低限の膜厚)に堆積した高融点金属シリサイドでゲート電極を形成すると、下地のゲート酸化膜に対して大きな引張応力を印加することになる。この結果、ゲート酸化膜に対する機械的な応力によるリーク電流や界面電荷の増大等を生じることになり、ゲート酸化膜をはじめとしてLSIの信頼性を低下させることになる。

【0009】

【課題を解決するための手段】本発明は、上記課題を解決するためになされた半導体装置およびその製造方法である。すなわち、半導体装置は、半導体基板上に形成されているゲート絶縁膜と、このゲート絶縁膜上に形成されている金属シリサイド膜と、この金属シリサイド膜上に形成されているシリコン膜と、金属シリサイドおよび金属の少なくとも1種からなるものでシリコン膜上に形成されている導電膜とからなるゲート電極を備えたものである。

【0010】またゲート電極中には不純物の拡散を防止する少なくとも1層の不純物拡散防止膜が形成されているものであってもよい。

【0011】上記半導体装置では、ゲート絶縁膜上に金属シリサイド膜が形成されていることから、ゲート絶縁膜との界面の仕事関数がゲート絶縁膜と接している材料によってほぼ決定することにより、ゲート絶縁膜との界面がミッドギャップ付近の仕事関数を有するものとなる。また金属シリサイド膜上にシリコン膜が形成されていることから、上記金属シリサイド膜が薄いものであっても、イオン注入による自己整合拡散層を作製することが可能なゲート電極の厚さが、応力の少ないポリシリコン等のシリコン膜によって確保される。このようにゲート絶縁膜上の金属シリサイド膜が薄く形成されていることにより、ゲート電極全体としての応力が増大することがないので、ゲート絶縁膜の信頼性が低下することはない。

【0012】さらにシリコン膜上に金属シリサイド膜または金属からなる導電膜が形成されていることから、ゲート電極のシート抵抗は低いものとなる。そのため、デバイスの動作速度を低下させないゲート電極となる。またこの導電膜を形成しても下層にシリコン膜が形成されているので、このシリコン膜によって導電膜により印加される応力が十分に緩和される。そのため、ゲート絶縁膜には信頼性を低下させるような応力が導電膜によって印加されることはない。

【0013】また、ゲート電極中に不純物の拡散を防止する少なくとも1層の不純物拡散防止膜が形成されているものでは、シリコン膜中の不純物とは別に金属シリサ

イド膜中の不純物のタイプおよび濃度を設定することができ、かつNMOSトランジスタとPMOSトランジスタとでタイプの異なる不純物を用いたときに生じる相互拡散が生じたとしても、これがゲート絶縁膜との界面の仕事関数に影響を与えることはなく、トランジスタの $V_{th}$ もシフトさせない。

【0014】半導体装置の製造方法は、半導体基板上に形成されているゲート絶縁膜上に金属シリサイド膜、シリコン膜を順に形成し、次いでシリコン膜と金属シリサイド膜とをゲート電極にパターンニングした後、パターンニングしたシリコン膜上に金属シリサイドからなる導電膜を自己整合的に形成して、ゲート電極を形成する。

【0015】上記製造方法において、金属シリサイド膜を形成した後にゲート電極の仕事関数を規定する不純物を金属シリサイド膜中にドーピングしてもよい。また金属シリサイド膜を形成した後に不純物の拡散を防止する少なくとも1層の不純物拡散防止膜を形成してもよい。

【0016】上記半導体装置の製造方法では、ゲート絶縁膜上に金属シリサイド膜、シリコン膜を順に形成することから、上記金属シリサイド膜を薄く形成しても、イオン注入による自己整合拡散層を作製することが可能なゲート電極の厚さを、応力の少ないポリシリコン等のシリコン膜によって確保することが可能になる。このようにゲート絶縁膜上の金属シリサイド膜を薄く形成することから、ゲート電極全体としての応力を増大させることはなく、またゲート絶縁膜の信頼性を劣化させることもない。

【0017】さらにシリコン膜上に金属シリサイド膜または金属からなる導電膜を形成することから、でき上がりのゲート電極のシート抵抗は低いものとなる。そのため、デバイスの動作速度を低下させないゲート電極が形成される。またこの導電膜を形成してもその下層にシリコン膜が形成されているので、このシリコン膜によって導電膜により印加される応力は十分に緩和される。そのため、導電膜の応力がゲート絶縁膜に影響を及ぼすことはない。

【0018】さらに、ゲート絶縁膜に接する金属シリサイドとポリシリコンとの間に不純物拡散防止膜を設ける製造方法では、不純物拡散防止膜が金属シリサイド膜からの不純物拡散を防止するとともにシリコン膜からの不純物拡散も防止する。そのため、シリコン膜中の不純物とは別に金属シリサイド膜中の不純物のタイプおよび濃度を別個に設定することができるようになる。

【0019】

【発明の実施の形態】本発明の第1実施形態の一例を、図1の概略構成断面図によって説明する。この図1では、半導体ソース・ドレインとして絶縁ゲート型電界効果トランジスタを示す。

【0020】図1に示すように、半導体基板（例えばバルクのシリコン基板）11の素子形成領域12は素子分

離絶縁膜13によって電気的に分離されている。この素子形成領域12の表面上にはゲート絶縁膜（例えばシリコン酸化膜）14を介して金属シリサイド膜（例えばタングステンシリサイド（ $WSi_x$ ）膜）15／シリコン膜（例えばポリシリコン膜）16／導電膜（例えばタングステンシリサイド（ $WSi_x$ ）膜）17の3層構造からなるゲート電極18が形成されている。

【0021】各膜の膜厚は、上層の導電膜17が例えば70nm、シリコン膜16が例えば70nm、下層の金属シリサイド膜15が例えば30nmの厚さに形成されている。上記タングステンシリサイドからなる金属シリサイド膜15および導電膜17は、不純物をドーピングしていないものであっても、またはヒ素（As）、リン（P）、ホウ素（B）等の不純物を $1 \times 10^{15}/cm^2$ 程度以上にドーピングしてその仕事関数を制御したものであってもよい。また、上記シリコン膜16中にはドーズ量で $5 \times 10^{15}/cm^2$ （濃度では $7 \times 10^{20}/cm^3$ 程度）のヒ素（As）がドーピングされていて、このシリコン膜16は完全な導体となっている。

【0022】さらに上記ゲート電極18の両側における半導体基板11にはソース・ドレイン領域（図示省略）が形成されている。そして上記半導体基板11上には上記ゲート電極18を覆う層間絶縁膜21が形成されている。

【0023】次に図2に、金属シリサイド膜15に不純物をドーピングした構成におけるフラットバンド電圧とドーズ量との関係の一例を示す。図2における縦軸はフラットバンド電圧 $V_{fb}$ を示し、横軸は不純物のドーズ量を示す。なお、金属シリサイド膜15は100nmのタングステンシリサイド膜からなり、 $1 \times 10^{15}/cm^2$ のドーズ量がタングステンシリサイド膜中の不純物濃度 $1 \times 10^{20}/cm^3$ に相当する。なお、測定は、窒素雰囲気中、850℃、30分の熱処理を行った後に行っている。

【0024】図2に示すように、p型不純物のホウ素イオン（ $B^+$ ）をドーピングした場合にはドーズ量を高めるとフラットバンド電圧 $V_{fb}$ も高くなる。例えばドーズ量が $2.5 \times 10^{15}/cm^2$ 、 $5.0 \times 10^{15}/cm^2$ 、 $7.5 \times 10^{15}/cm^2$ 、 $1.0 \times 10^{16}/cm^2$ のとき、フラットバンド電圧 $V_{fb}$ はそれぞれ、0.31V、0.45V、0.55V、0.59Vであった。またn型不純物のヒ素イオン（ $As^+$ ）をドーピングした場合にはドーズ量を高めるとフラットバンド電圧 $V_{fb}$ は減少する。例えばドーズ量が $1.0 \times 10^{15}/cm^2$ 、 $2.5 \times 10^{15}/cm^2$ 、 $5.0 \times 10^{15}/cm^2$ 、 $7.5 \times 10^{15}/cm^2$ 、 $1.0 \times 10^{16}/cm^2$ のとき、フラットバンド電圧 $V_{fb}$ はそれぞれ、0.34V、0.24V、0.16V、0.11V、0.08Vであった。ちなみに、ポリシリコン単層のゲート電極のフラットバンド電圧 $V_{fb}$ は、-0.12Vであった。こ

れからして、ポリシリコン単層よりも高いフラットバンド電圧が得られ、ドーズ量によってフラットバンド電圧を調整できることがわかる。

【0025】上記第1実施形態の半導体装置では、金属シリサイド膜15を構成するタングステンシリサイド膜の内部応力は $1 \times 10^9$  Pa程度であり、上記シリコン膜16を構成するポリシリコン膜に比べておよそ1桁大きいものとなっている。そこで上記ゲート電極18では、ゲート絶縁膜14上に接する金属シリサイド膜15の膜厚を30 nm程度と通常のポリシリコンゲートで用いられる膜厚のおよそ1/10以下にすることでゲート絶縁膜14に直接影響を及ぼす機械的な応力の大きさを小さくしている。しかも、金属シリサイド膜15上にシリコン膜16が形成されていることから、上記金属シリサイド膜15が薄いものであっても、自己整合拡散層となるソース・ドレイン領域をゲート電極18をマスクに用いたイオン注入によって作製することが可能なゲート電極18の厚さが、応力の少ないポリシリコン等のシリコン膜16によって確保されている。

【0026】また、シリコン膜16上にタングステンシリサイドからなる導電膜17が形成されていることから、ゲート電極18のシート抵抗は低いものとなっている。そのため、デバイスの動作速度を低下させないゲート電極18となる。一方、導電膜17の膜厚は70 nm程度と下層のタングステンシリサイドからなる金属シリサイド膜15の膜厚に比べておよそ2倍となっており、応力もその分大きくなっている。しかし、導電膜17の応力はその下層のポリシリコンからなるシリコン膜16を介してゲート絶縁膜14に伝えられるので、特にゲート電極18のエッジ部分のゲート絶縁膜14aに与える影響もその分緩和される。つまり、ゲート絶縁膜14に対する影響は従来から用いられているポリサイド構造の応力とほぼ同等になるので、ゲート絶縁膜14の信頼性に影響を与えることはない。

【0027】また、ゲート絶縁膜14上にタングステンシリサイドからなる金属シリサイド膜15が形成されていることから、ゲート絶縁膜14との界面の仕事関数がゲート絶縁膜14と接している材料によってほぼ決定することにより、ゲート絶縁膜14との界面がミッドギャップ付近の仕事関数を有するものとなる。

【0028】次に第2実施形態の一例を、図3の概略構成断面図によって説明する。この図3では、絶縁ゲート型電界効果トランジスタを示し、前記図1によって説明した構成部品と同様のものには同一符号を付す。

【0029】図3に示すように、半導体基板（例えばバルクのシリコン基板）11の素子形成領域12は素子分離絶縁膜13によって電気的に分離されている。この素子形成領域12上にはゲート絶縁膜（例えばシリコン酸化膜）14を介して金属シリサイド膜（例えばタングステンシリサイド（WSi<sub>2</sub>）膜）15/シリコン膜（例

えばポリシリコン膜）16/導電膜（例えばチタンシリサイド（TiSi<sub>2</sub>）膜）17の3層構造からなるゲート電極18が形成されている。

【0030】さらに上記ゲート電極18の側壁にはサイドウォール31、32が、例えば酸化シリコン、窒化シリコン等の絶縁材料で形成されている。またゲート電極18の両側における半導体基板11には、それぞれに上記サイドウォール31、32を介してのソース・ドレイン領域（図示省略）が形成されていて、その上層にはチタンシリサイド（TiSi<sub>2</sub>）膜33、34が形成されている。このチタンシリサイド膜33、34は、上記ゲート電極18導電膜17のチタンシリサイド（TiSi<sub>2</sub>）と同時にシリサイド（Self-Aligned Silicidation: SALICIDE）プロセスによって自己整合的に形成されている。

【0031】各膜の膜厚は、タングステンシリサイドからなる金属シリサイド膜15が例えば30 nm、初期に堆積するシリサイド膜16となるポリシリコン膜が例えば140 nm、シリサイド形成時の初期のチタン膜が例えば30 nmの厚さに形成されている。またサイドウォール31、32のゲート長方向の幅は一例として、0.15 μmとする。この状態でシリサイド化を行って、チタン膜の2.3倍のシリコン層が消費され、2.5倍のチタンシリサイドからなる導電膜17が形成されるので、最終的にはチタンシリサイドからなる導電膜17は75 nm、ポリシリコンからなるシリコン膜16は70 nm、タングステンシリサイドからなる金属シリサイド膜15は30 nmの厚さになる。

【0032】さらに上記ゲート電極18の両側における半導体基板11にはソース・ドレイン領域（図示省略）が形成されている。そして上記半導体基板11上には上記ゲート電極18を覆う層間絶縁膜21が形成されている。

【0033】上記第2実施形態の半導体装置では、前記第1実施形態で説明したのと同様に、ゲート絶縁膜14上に接する金属シリサイド膜15を構成するタングステンシリサイド膜の内部応力は $1 \times 10^9$  Pa程度であるが、その膜厚を30 nm程度と通常のポリシリコンゲートで用いられる膜厚のおよそ1/10以下にすることでゲート絶縁膜14に直接影響を及ぼす機械的な応力の大きさを小さくしている。しかも、金属シリサイド膜15上にシリコン膜16が形成されていることから、上記金属シリサイド膜15が薄いものであっても、自己整合拡散層となるソース・ドレイン領域をゲート電極18をマスクに用いたイオン注入によって作製することを可能にしている。

【0034】また、シリコン膜16上にチタンシリサイドからなる導電膜17が形成されていることから、ゲート電極18のシート抵抗は低いものとなる。そのため、デバイスの動作速度を低下させないゲート電極18とな

る。一方、導電膜17の膜厚は70nm程度と下層のタングステンシリサイドからなる金属シリサイド膜15の膜厚に比べておよそ2倍となっているので、応力もその分大きくなる。しかしながら、その応力はポリシリコンからなるシリコン膜16を介してゲート絶縁膜14に伝えられるので、ゲート絶縁膜14に与える影響はシリコン膜16によって十分に緩和される。したがって、ゲート絶縁膜14の信頼性に影響を与えることはない。

【0035】また、ゲート絶縁膜14上にタングステンシリサイドからなる金属シリサイド膜15が形成されていることから、ゲート絶縁膜14との界面がミッドギャップ付近の仕事関数を有するものとなる。

【0036】次に第3実施形態の一例を、図4の概略構成断面図によって説明する。この図4では、絶縁ゲート型電界効果トランジスタを示し、前記図1によって説明した構成部品と同様のものには同一符号を付す。

【0037】図4に示すように、半導体基板（例えばバルクのシリコン基板）11の素子形成領域12は素子分離絶縁膜13によって電気的に分離されている。この素子形成領域12上にはゲート絶縁膜（例えばシリコン酸化膜）14を介して金属シリサイド膜〔例えばタングステンシリサイド（ $WSi_x$ ）膜〕15／不純物拡散防止膜〔例えば窒化タングステン（ $WN_x$ ）膜〕41／シリコン膜（例えばポリシリコン膜）16／導電膜〔例えばタングステンシリサイド（ $WSi_x$ ）膜〕17の4層構造からなるゲート電極18が形成されている。

【0038】各膜の膜厚は、上層の導電膜17が例えば70nm、シリコン膜16が例えば70nm、窒化タングステンからなる不純物拡散防止膜41が例えば3nm、下層の金属シリサイド膜15が例えば30nmの厚さに形成されている。上記タングステンシリサイドからなる金属シリサイド膜15および導電膜17は、不純物をドーピングしていないものであっても、またはヒ素（As）、リン（P）、ホウ素（B）等の不純物を $1 \times 10^{15} / \text{cm}^2$ 程度以上にドーピングしてその仕事関数を制御したものであってもよい。また、上記シリコン膜16中にはドーピング量で $5 \times 10^{15} / \text{cm}^2$ （濃度では $7 \times 10^{20} / \text{cm}^3$ 程度）のヒ素（As）がドーピングされていて、このシリコン膜16は完全な導体となっている。

【0039】さらに上記ゲート電極18の両側における半導体基板11にはソース・ドレイン領域（図示省略）が形成されている。そして上記半導体基板11上には上記ゲート電極18を覆う層間絶縁膜21が形成されている。

【0040】なお上記第3実施形態で説明したように、不純物拡散防止膜41を金属シリサイド膜15とシリコン膜16との間に形成することが好ましいが、その形成位置はゲート電極18中であればよく、また単層であっても複数層であってもよい。また上記不純物拡散防止膜

41は窒化タングステンからなるものを説明したが、例えば、他の窒化金属膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも1層からなるものであればよい。したがって、上記各膜のうちの複数を重ねた積層膜であってもよい。

【0041】上記第3実施形態の半導体装置では、前記説明した第1実施形態の半導体装置を同様な作用効果を得られる。それとともに、上記のように窒化タングステンからなる不純物拡散防止膜41が設けられていることにより、ゲート絶縁膜14に接するタングステンシリサイドからなる金属シリサイド膜15への不純物の拡散が防止される。さらには、金属シリサイド膜15からの不純物の拡散が防止される。このため、ゲート絶縁膜14に接する金属シリサイド膜15の仕事関数は、そのドーピング量に応じて設計値通りに設定することができ、上層のポリシリコンからなるシリコン膜15等へのドーピング条件や熱工程の影響を考慮する必要がない。そのため、高精度にかつ均一性よくゲート絶縁膜14との界面部分の仕事関数を設定することが可能となる。よって、不純物拡散防止膜41が形成されている構成はとても好ましいゲート構造であるといえる。

【0042】この構成では、ゲート絶縁膜14と接する金属シリサイド膜15の不純物濃度のみを制御しておけば、上層の導電膜17およびシリコン膜16中の不純物濃度や不純物のタイプについては細かく制御する必要がなくなる。シリコン膜16には、単に導体にするために十分な不純物がドーピングされていればよい。よって、シリコン膜16、導電膜17に導入される不純物は、ソース・ドレイン（図示省略）となる拡散層形成時のイオン注入によって導入されてもよい。

【0043】また、CMOS構成においては、熱処理によりNMOSトランジスタとPMOSトランジスタとの各ゲート電極中の不純物が相互拡散しても、不純物拡散防止膜41により金属シリサイド膜15への不純物拡散が防止されているため、仕事関数を変動させることにはならないので問題にはならない。そのため、ゲート電極18上にイオン注入を阻止するための酸化膜（ストップ酸化膜）を予め形成しておく必要がなくなる。つまり中間層のシリコン膜16は、予め不純物をドーピングしておかなくてもストップ酸化膜を形成しておかなければ、ソース・ドレインとなる拡散層を形成する際に、自動的に上層の導電膜17からドーピングされることになり、できあがりには導体になる。このとき、シリコン膜16と、金属シリサイド膜15とではドーパントのタイプおよび濃度が異なる場合があるが、窒化タングステンからなる不純物拡散防止膜41により不純物の膜厚方向の拡散が抑制されるので、ゲート絶縁膜14の界面の仕事関数は狙い通りに設定されることになる。

【0044】上記第1～第3実施形態では、金属シリサイド膜15がタングステンシリサイド膜の場合を説明し

たが、この金属シリサイド膜15は、モリブデンシリサイド( $\text{MoSi}_x$ )、タンタルシリサイド( $\text{TaSi}_x$ )等の酸化シリコン膜と反応しないシリサイドであればよい。また、下地の半導体基板11もバルクのシリコン基板ではなく、SOI基板のようなものであってもよい。

【0045】なお、上記金属シリサイド膜15は、単に金属膜で形成されているものであってもよい。その場合の仕事関数は金属固有の値によって決まることになる。ただし、不純物ドーピングによって仕事関数を変えることは困難になる。

【0046】また、上記に説明した、ポリシリコンからなるシリコン膜16の膜厚や不純物濃度、ゲート絶縁膜14と接する金属シリサイド膜15および上層の導電膜17や窒化タングステンからなる不純物拡散防止膜41の膜厚等は、一例であって、目的とする半導体装置により適宜設計変更することは可能である。

【0047】次に前記第1実施形態で説明した絶縁ゲート型電界効果トランジスタの製造方法を、図5～図7の製造工程図によって説明する。図5～図7では、前記図1によって説明した構成部品と同様のものには同一符号を付す。

【0048】図5の(1)に示すように、半導体基板(例えばバルクのシリコン基板)11に素子形成領域12を分離する素子分離領域13を、例えば局所酸化法[例えば、LOCOS(Local Oxidation of Silicon)法]によって形成する。さらに半導体基板11にウエル領域(図示省略)等を形成してもよい。

【0049】次いで素子形成領域12上の酸化膜等を除去して洗浄した後、図5の(2)に示すように、例えば熱酸化法によって、半導体基板11の素子形成領域12表面に、例えばシリコン酸化膜を8nmの厚さに成長させてゲート絶縁膜14を形成する。次いでCVD法等の成膜技術によって、ゲート絶縁膜14上に、金属シリサイド膜となる、例えばタングステンシリサイド( $\text{WSi}_x$ )膜55を30nmの厚さに形成し、続いてシリコン膜となる、例えばポリシリコン膜56を70nmの厚さに形成する。

【0050】さらに図5の(3)に示すように、ポリシリコン膜56上に、導電膜となる、例えばタングステンシリサイド( $\text{WSi}_x$ )膜57を70nmの厚さに形成する。これらのタングステンシリサイド膜55、57、およびポリシリコン膜56は、界面の自然酸化膜の成長を最小限に抑えるために、酸化性雰囲気(例えば大気)にさらすことなく、例えばマルチチャンバの成膜装置によって連続成膜することが好ましい。

【0051】なお、ゲート絶縁膜14に接するタングステンシリサイド膜55は、ゲート絶縁膜14に直接堆積しても密着性やゲート耐圧を劣化させないようにするために、例えばジクロロシラン( $\text{SiH}_2\text{Cl}_2$ )と六フ

ッ化タングステン( $\text{WF}_6$ )の反応系を用いて、タングステンシリサイド膜がいわゆるシリコンリッチな状態、例えば $\text{WSi}_x$ : $x=3.0$ のようになる条件にする必要がある。例えば、上記タングステンシリサイド膜55の成膜は、一例として、コールドウォール型減圧CVD装置を用いて、原料ガスにジクロロシラン( $\text{SiH}_2\text{Cl}_2$ ):160sccm、六フッ化タングステン( $\text{WF}_6$ ):1.6sccm、アルゴン( $\text{Ar}$ ):100sccmを用い、成膜温度を680℃、成膜雰囲気圧力を40Paに設定して成膜を行う。

【0052】またポリシリコン膜56の成膜は、一例として、ホットウォール型減圧CVD装置を用いて、原料ガスにモノシラン( $\text{SiH}_4$ ):460sccmを用い、成膜温度を625℃、成膜雰囲気圧力を20Paに設定して成膜を行う。以下、上記sccmは標準状態における体積流量( $\text{cm}^3/\text{分}$ )を表す。

【0053】また、タングステンシリサイド膜57は、ゲート電極のできあがりのシート抵抗を低下させる目的で形成するので、その組成比は、従来から用いられている $x=2.6$ 、すなわち、下地のポリシリコン膜56との密着性が確保でき、かつ最もできあがりの抵抗率を低下させることができる組成比にする。このとき、タングステンシリサイド膜57の形成方法は、段差被覆性に優れたCVDによって行うことが好ましく、その反応系は、ジクロロシラン( $\text{SiH}_2\text{Cl}_2$ )と六フッ化タングステン( $\text{WF}_6$ )とを用いたものであってもよく、またモノシラン( $\text{SiH}_4$ )と六フッ化タングステン( $\text{WF}_6$ )とを用いたものであってもよい。

【0054】モノシラン( $\text{SiH}_4$ )と六フッ化タングステン( $\text{WF}_6$ )とを用いた反応系でタングステンシリサイド膜57を形成する場合の成膜は、一例として、コールドウォール型減圧CVD装置を用いて、原料ガスにモノシラン( $\text{SiH}_4$ ):350sccm、六フッ化タングステン( $\text{WF}_6$ ):3.1sccm、アルゴン( $\text{Ar}$ ):300sccmを用い、成膜温度を400℃、成膜雰囲気圧力を93Paに設定して成膜を行う。

【0055】次いで図5の(4)に示すように、上記ポリシリコン膜56を導体にするために、例えばイオン注入法によってリンイオン( $\text{P}^+$ )を、例えば打ち込みエネルギーを15keV、ドーズ量を $5 \times 10^{15}/\text{cm}^2$ なる条件でイオン注入する。このとき、リンイオン( $\text{P}^+$ )の飛程は、タングステンシリサイド膜57中に存在するが、特に $x=2.6$ なる組成比のタングステンシリサイド膜中では、不純物の拡散速度が非常に速いので、できあがり時にはポリシリコン膜56の膜厚方向にも均一なリン濃度になる。なお、ポリシリコン膜56の導体化は、ヒ素( $\text{As}$ )、ホウ素( $\text{B}$ )等のドーピングによって行うことも可能である。

【0056】次いで図5の(5)に示すように、リソグラフィ技術によって上記タングステンシリサイド膜5



7上にゲート電極を形成する際のエッチングマスクとなるレジストパターン61を形成する。

【0057】次いで上記レジストパターン61をマスクにしたエッチングによって、上記タングステンシリサイド膜55、ポリシリコン膜56、タングステンシリサイド膜57をエッチングして、図6の(6)に示すように、タングステンシリサイド膜55からなる金属シリサイド膜15、ポリシリコン膜56からなるシリコン膜16、タングステンシリサイド膜57からなる導電膜17の3層構造からなるゲート電極18を形成する。このときのエッチング条件は、一例として、ECR (Electron Cyclotron Resonance) プラズマエッチング装置を用いて、エッチングガスに塩素( $Cl_2$ ):75sccmと酸素( $O_2$ ):5sccmとを用い、基板温度を20℃、エッチング雰囲気圧力を0.4Pa、RFパワーを第1ステップでは80W、第2ステップでは30Wに設定する。

【0058】その後、上記レジストパターン61を除去した後、図6の(7)に示すように、ゲート電極18、素子分離領域13等をマスクに用いたイオン注入法によって、ゲート電極18の両側における半導体基板11にLDD (Lightly Doped Drain) (図示省略)を形成する。このLDDは、CMOSの場合には、NMOS領域とPMOS領域とを、レジスト膜からなるイオン注入マスク62を用いて打ち分ける。例えば、NMOS領域にはヒ素イオン( $As^+$ )をイオン注入し、PMOS領域には二フッ化ホウ素イオン( $BF_2^+$ )をイオン注入する。なお、各イオン注入を終了した後、マスクとして用いたレジスト膜は除去する。

【0059】次いで図6の(8)に示すように、半導体基板11上にゲート電極18を覆う状態にポリシリコン膜を形成した後、それをエッチバックして、ゲート電極18の側壁にそのポリシリコン膜を残すことによりサイドウォール31、32を形成する。このサイドウォール31、32はLDDの領域を残すためのスペーサになる。なお、上記サイドウォール31、32は酸化シリコンで形成することも可能である。

【0060】次いで図7の(9)に示すように、ゲート電極18、上記サイドウォール31、32をイオン注入マスクに用いて、ゲート電極18の一方側におけるシリコン基板11に、LDDを介してソース・ドレイン (図示省略)を形成するとともに、ゲート電極18の他方側におけるシリコン基板11に、LDDを介してソース・ドレイン (図示省略)を形成する。このソース・ドレインの形成も、前記LDDの形成と同様に、CMOSの場合には、NMOS領域とPMOS領域とを例えばレジスト膜からなるイオン注入マスク63を用いて打ち分ける。例えば、NMOS領域にはヒ素イオン( $As^+$ )をイオン注入し、PMOS領域には二フッ化ホウ素イオン( $BF_2^+$ )をイオン注入する。なお、各イオン注入を

終了した後、マスクとして用いたレジスト膜は除去する。

【0061】その後、ゲート電極18、LDD、ソース・ドレイン、その他の不純物導入層の活性化処理を行う。この活性化処理は、一例として、アルゴンのような不活性雰囲気中で、1000℃、10秒間のRTA (Rapid Thermal Annealing) 処理により行う。

【0062】そして図7の(10)に示すように、通常のプロセスによって、上記シリコン基板11上にゲート電極18を覆う層間絶縁膜21を形成し、リソグラフィ技術およびエッチング技術を用いて層間絶縁膜21にコンタクトホール22、23を形成する。さらにコンタクトホール22、23内に例えば金属膜を埋め込んだ後、層間絶縁膜21上の金属膜を除去して、コンタクトホール22、23内に金属膜からなるプラグ24、25を形成する。その後、配線を形成する膜を成膜した後、リソグラフィ技術およびエッチング技術を用いて配線を形成する膜をパターニングし、配線26、27を形成する。

【0063】上記製造方法においては、タングステンシリサイド (WSi<sub>x</sub>) 膜55、57、ポリシリコン膜56の各膜厚、サイドウォール31、32の幅等は、デバイスの目低により適宜設計変更が可能である。

【0064】また、バルクのシリコン基板からなる半導体基板11に形成するトランジスタに限定されることなく、SOI基板に形成するトランジスタにも上記製造方法は適用することが可能である。

【0065】上記図5～図7によって説明した製造方法では、ゲート絶縁膜14上に形成した金属シリサイド膜15となるタングステンシリサイド膜55上にシリコン膜16となるポリシリコン膜56を形成することから、上記金属シリサイド膜15を薄く形成しても、イオン注入によって自己整合拡散層を作製することが可能なゲート電極18の厚さが、応力の少ないポリシリコン膜56からなるシリコン膜16によって確保される。このようにゲート絶縁膜14上の金属シリサイド膜15を薄く形成することにより、ゲート電極18の全体としての応力を増大させることなく、またゲート絶縁膜14の信頼性を劣化させることもない。

【0066】さらにシリコン膜16上にタングステンシリサイド膜57からなる導電膜17を形成することから、でき上がりのゲート電極18のシート抵抗は低いものとなる。そのため、デバイスの動作速度を低下させないゲート電極18が形成される。またこの導電膜17を形成しても下層にシリコン膜16が形成されているので、このシリコン膜16によって導電膜17により印加される応力が十分に緩和される。

【0067】さらにゲート電極18の上層に導電膜17を形成することから、ゲート電極18の全体のできあがりのシート抵抗を下がり、ゲート電極18が低抵抗化さ

10

20

30

40

50

れる。また、導電膜17を形成するタングステンシリサイド膜57は、一般的に $1 \times 10^9$  Pa程度の内部応力を有する場合が多いが、ポリシリコンからなるシリコン膜16が緩衝材となるため、ゲート絶縁膜14に直接与える応力は十分に小さくなる。

【0068】また、ポリシリコンからなるシリコン膜16は電極として用いる時は、導体とするために不純物をドーピングする必要があるが、基本的にNMOSトランジスタとPMOSトランジスタとで同じタイプの不純物を用いることが可能になり、相互拡散によるゲート電極の仕事関数の変動が生じない。

【0069】上記図5～図7によって説明した製造方法において、下層のタングステンシリサイド膜55を成膜した後、窒化タングステン(WN<sub>x</sub>)からなる不純物拡散防止膜(図示省略)を成膜し、その後上記ポリシリコン膜56を成膜してもよい。このように成膜すれば、前記図4によって説明した構造の絶縁ゲート型電界効果トランジスタが形成される。不純物拡散防止膜41(図4参照)は、タングステンシリサイド膜55をアンモニア(NH<sub>3</sub>)雰囲気中で直接窒化することにより形成すればよい。その窒化条件は、一例として、アンモニア(NH<sub>3</sub>)雰囲気中で、850℃、60秒間のRTA処理を行えばよい。

【0070】このようにして形成される窒化タングステンからなる不純物拡散防止膜は非常に薄い(例えば数nm程度)膜厚であるため、以降の工程は、先に説明したのと同様にしてゲート電極18のエッチング加工等を行うことが可能である。

【0071】上記説明したように、ポリシリコン膜56とタングステンシリサイド(WSi<sub>x</sub>)膜55との間に不純物の拡散を防止する不純物拡散防止膜を形成することにより、ソース・ドレインを形成するためのイオンがタングステンシリサイド膜55からなる金属シリサイド膜15にまで注入されない限り、金属シリサイド膜15に不純物が拡散等で導入されない。そのため、不純物が導入されることによる意図しない金属シリサイド膜15の仕事関数の変動が防止される。また、このとき、通常のデュアルゲートプロセスで用いられるような、ストップ酸化膜を形成しておかなければ、ポリシリコン膜56へはソース・ドレイン等の拡散層形成時の不純物が自動的に導入されることになり、プロセスの途中でポリシリコン膜56を導体にするためのイオン注入は特に行う必要がなくなる。

【0072】上記不純物拡散防止膜は、上記説明したように金属シリサイド膜15とシリコン膜16との間に形成することが望ましいが、シリコン膜16中に形成することも可能である。

【0073】次に前記第2実施形態で説明した絶縁ゲート型電界効果トランジスタの製造方法を図8の製造工程図によって説明する。図8では、前記図3によって説明

した構成部品と同様のものには同一符号を付す。

【0074】前記図5～図6によって説明したのと同様に、図8の(1)に示すように、半導体基板11に素子形成領域12を分離する素子分離領域13を形成する。さらに半導体基板11にウェル領域(図示省略)等を形成する。

【0075】次いで半導体基板11の素子形成領域12上にゲート絶縁膜14を形成する。次いでCVD法等の成膜技術によって、タングステンシリサイド膜55を例えば30nmの厚さに形成し、次いでポリシリコン膜56を例えば140nmの厚さに形成する。

【0076】次いでリソグラフィ技術およびエッチング技術によって、上記タングステンシリサイド膜55、ポリシリコン膜56をエッチングして、タングステンシリサイド膜55、ポリシリコン膜56の2層構造からなるゲート電極18を形成する。

【0077】さらにゲート電極18、素子分離領域13等をマスクに用いたイオン注入法によって、ゲート電極18の両側における半導体基板11にLDD(図示省略)を形成する。このLDDは、CMOSの場合には、NMOS領域とPMOS領域とを、レジスト膜からなるイオン注入マスク(図示省略)を用いて打ち分ける。例えば、NMOS領域にはヒ素イオン(As<sup>+</sup>)をイオン注入し、PMOS領域には二フッ化ホウ素イオン(BF<sub>2</sub><sup>+</sup>)をイオン注入する。なお、各イオン注入を終了した後、マスクとして用いたレジスト膜は除去する。

【0078】次いで半導体基板11上にゲート電極18を覆う状態に酸化シリコン膜を形成した後、それをエッチバックして、ゲート電極18の側壁にその酸化シリコン膜を残すことによりサイドウォール31、32を形成する。このサイドウォール31、32はLDDの領域を残すためのスペーサになる。

【0079】次いでゲート電極18、上記サイドウォール31、32をイオン注入マスクに用いて、ゲート電極18の両側における半導体基板11に、LDDを介してソース・ドレイン(図示省略)を形成する。これらソース・ドレインの形成も、前記LDDの形成と同様に、CMOSの場合には、NMOS領域とPMOS領域とをレジスト膜からなるイオン注入マスク(図示省略)を用いて打ち分ける。例えば、NMOS領域にはヒ素イオン(As<sup>+</sup>)をイオン注入し、PMOS領域には二フッ化ホウ素イオン(BF<sub>2</sub><sup>+</sup>)をイオン注入する。なお、各イオン注入を終了した後、マスクとして用いたレジスト膜は除去する。

【0080】次いで図8の(2)に示すように、通常のサリサイドプロセスにしたがって、ゲート電極18上、ソース・ドレイン(半導体基板11の露出部分)上を覆う状態にチタン膜71を例えば10nmの厚さに形成する。

【0081】その後、シリサイド化のための熱処理を行

って、上記チタン膜71とゲート電極18のポリシリコン膜56のシリコン、ソース・ドレインの半導体基板11のシリコンとを反応させて、図8の(3)に示すように、ポリシリコン膜56からなるシリコン膜16上にチタンシリサイドからなる導電膜17を形成するとともに、ソース・ドレイン(チタン膜71と半導体基板11との接触部分)上にチタンシリサイド膜33、34を形成する。その後、未反応なチタン膜を除去した後、導電膜17、チタンシリサイド膜33、34の低抵抗化のための熱処理を行って、安定かつ低抵抗なものに改質する。

【0082】図示はしないが、その後前記図7の(10)によって説明したのと同様に、層間絶縁膜の形成、コンタクトホール形成、プラグの形成、配線の形成等を行って、半導体装置を完成させる。

【0083】なお、ここで自己整合的に形成するシリサイドは、チタンシリサイド( $TiSi_2$ )以外に、コバルトシリサイド( $CoSi_2$ )、ニッケルシリサイド( $NiSi_2$ )、プラチナシリサイド( $PtSi_2$ )等であってもよい。また、上記タングステンシリサイド膜55、ポリシリコン膜56の各膜厚、サイドウォール31、32の幅等は、デバイスの目的により適宜設計変更が可能である。さらに、バルクのシリコン基板からなる半導体基板11に形成するトランジスタに限定されることはなく、SOI基板に形成するトランジスタにも上記製造方法は適用することも可能である。

【0084】上記図8によって説明した製造方法では、ゲート絶縁膜14との界面の仕事関数をタングステンシリサイド膜55の持つミッドギャップ近辺の値にすることができ、かつゲート電極18の膜厚をイオン注入による拡散層の自己整合形成が行える程度に厚くしてもゲート電極18の全体の応力が増大しない。その結果、ゲート絶縁膜14の信頼性を劣化させることがない。また上層に形成するチタンシリサイドからなる導電膜17により、ゲート電極18のできあがりのシート抵抗を十分に低減することが可能になる。そしてソース・ドレイン上に形成されるチタンシリサイド膜33、34をゲート電極18のチタンシリサイドからなる導電膜17と同時に形成することから、工程の削減および製造コストの削減が図られる。

【0085】なお、この製造方法において、上記説明したのと同様な不純物拡散防止膜を形成する場合には、この不純物拡散防止膜をシリコン膜16上に形成した場合には、チタン膜のシリサイド化が行えなくなるので、金属シリサイド膜15上、もしくはシリコン膜16中に形成することが好ましい。

【0086】

【発明の効果】以上、説明したように本発明の半導体装置によれば、ゲート絶縁膜上に金属シリサイド膜、シリコン膜、導電膜が順に積層されているゲート電極が構成

されているので、金属シリサイド膜の仕事関数を得ることができ、イオン注入による自己整合拡散層が作製可能な膜厚をシリコン膜で確保することができ、導電膜により低抵抗化を図ることができる。またゲート電極の厚みはシリコン膜で確保されるので薄い金属シリサイド膜とすることが可能になり、また導電膜の応力はシリコン膜で緩和されるので、ゲート絶縁膜の信頼性を確保することができる。また、ゲート電極(ゲート絶縁膜界面での)の仕事関数とゲート電極の厚さ等のサイズを別々に設計できるのでプロセスの自由度が増す。

【0087】不純物拡散防止膜が設けられている半導体装置によれば、シリコン膜中、導電膜中の不純物の影響は不純物拡散防止膜によって阻止されるので、シリコン膜中の不純物とは別に金属シリサイド膜中の不純物のタイプおよび濃度を設定することができる。そのため、ゲート絶縁膜との界面の仕事関数に影響を与えることが無くなるので、優れたトランジスタ特性が得られる。

【0088】本発明の製造方法によれば、ゲート絶縁膜上に金属シリサイド膜、シリコン膜、導電膜を順に積層してゲート電極を形成するので、金属シリサイド膜の仕事関数を得ることができ、イオン注入による自己整合拡散層が作製可能な膜厚をシリコン膜で確保することができ、導電膜により低抵抗化を図ることができる。またゲート電極の厚みをシリコン膜で確保することができるので、金属シリサイド膜を薄く形成することが可能になり、また導電膜の応力をシリコン膜で緩和することができるので、ゲート絶縁膜の信頼性を確保することができる。

【0089】不純物拡散防止膜を形成する製造方法によれば、その不純物拡散防止膜によって、金属シリサイド膜からの拡散、シリコン膜からの拡散を防止することができるため、シリコン膜中の不純物とは別に金属シリサイド膜中の不純物のタイプおよび濃度を設定できる。またNMOSTランジスタとPMOSTランジスタとでタイプの異なる不純物を用いたときに生じる相互拡散が起こったとしても、不純物拡散防止膜によって相互拡散の影響を阻止することができる。

【図面の簡単な説明】

【図1】本発明に係わる半導体装置の第1実施形態を示す概略構成断面図である。

【図2】フラットバンド電圧とドーズ量との関係図である。

【図3】本発明に係わる半導体装置の第2実施形態を示す概略構成断面図である。

【図4】本発明に係わる半導体装置の第3実施形態を示す概略構成断面図である。

【図5】第1実施形態の半導体装置の製造方法を示す製造工程図(その1)である。

【図6】第1実施形態の半導体装置の製造方法を示す製造工程図(その2)である。

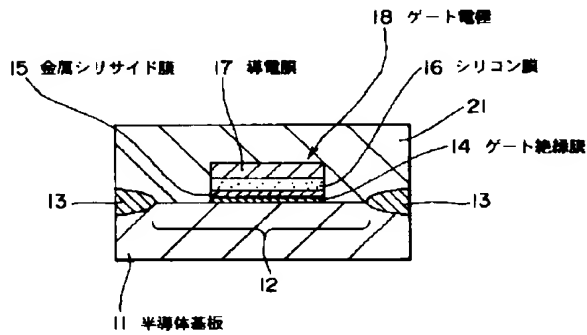
【図7】第1実施形態の半導体装置の製造方法を示す製造工程図（その3）である。

【図8】第2実施形態の半導体装置の製造方法を示す製造工程図である。

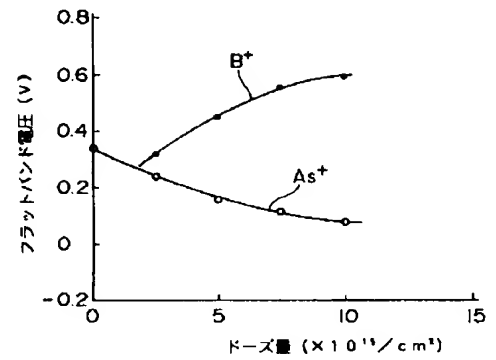
\* 【符号の説明】

11…半導体基板、14…ゲート絶縁膜、15…金属シリサイド膜、16…シリコン膜、17…導電膜、18…ゲート電極

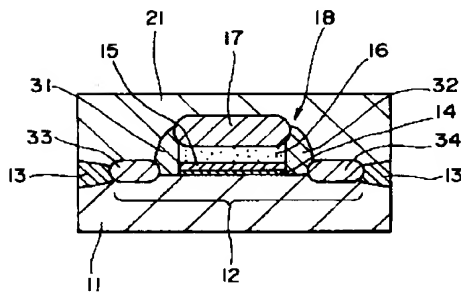
【図1】



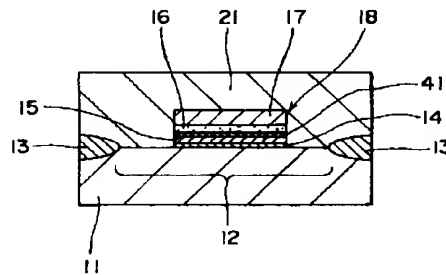
【図2】



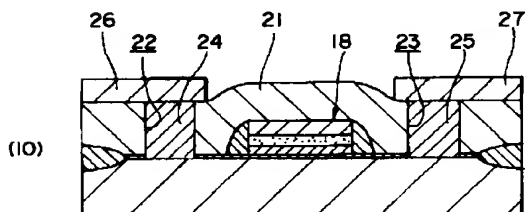
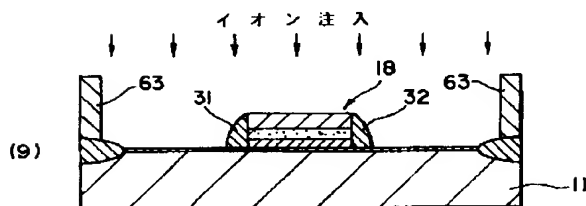
【図3】



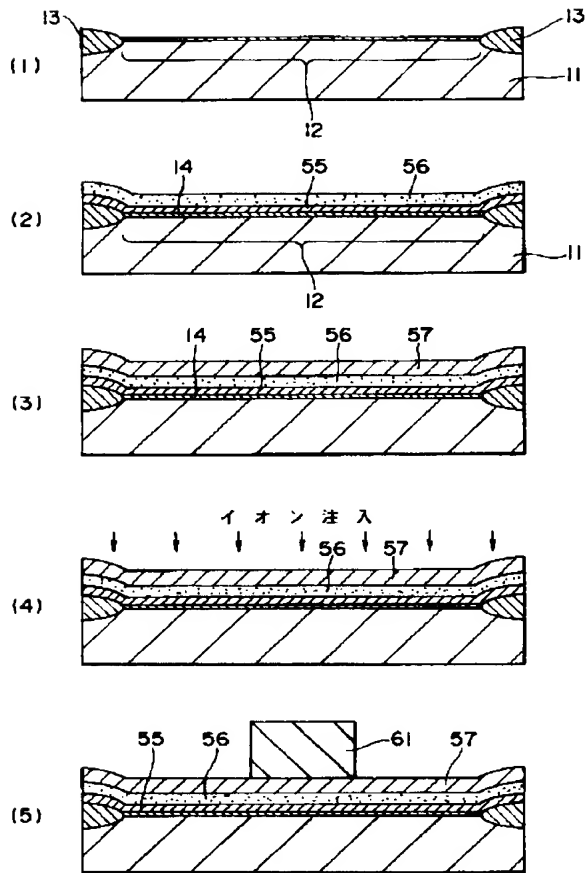
【図4】



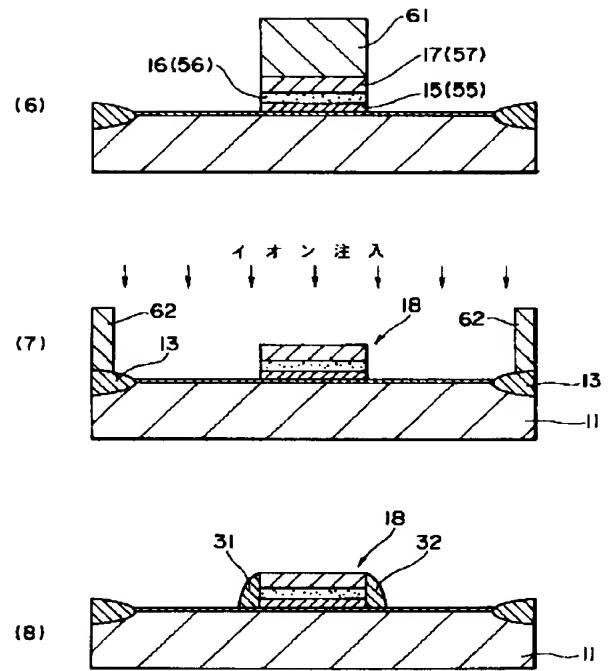
【図7】



【図5】



【図6】



【図8】

